

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307740

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
21/28
21/316
21/768

H 0 1 L 27/10 6 2 1 C
21/28 L
21/316 M
21/90 M

審査請求 有 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平10-112172

(22) 出願日 平成10年(1998)4月22日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 杉山 智

東京都港区芝五丁目7番1号 日本電気株式会社内

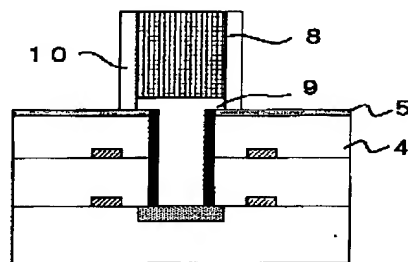
(74) 代理人 弁理士 若林 忠 (外4名)

(54) 【発明の名称】 半導体装置の製造方法

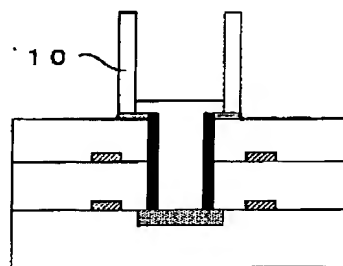
(57) 【要約】

【課題】 シリンダー形状の下部電極を形成するに際し、層間絶縁膜などに凹部が生じることを防止するとともに、一定の形状の下部電極を安定して得ることのできる製造技術を提供する。

【解決手段】 シリンダー形状の下部電極の内側に形成されるスペーサ膜8をエッチング除去する際に、エッチングストッパーとしてラダー構造を有するSOG膜5を用いる。ラダー構造を有する前記SOG膜5は、ラダー構造を有するSOG膜材料を回転塗布後、300℃以上750℃未満の温度でベーク処理することにより形成される。



(d)



(e)

【特許請求の範囲】

【請求項 1】 半導体基板表面に拡散層を形成した後、全面に層間絶縁膜を形成する工程と、該層間絶縁膜の上に、ラダー構造を有する SOG 膜を形成する工程と、該 SOG 膜および該層間絶縁膜に、前記拡散層に達するコンタクト孔を形成する工程と、第一の導電膜を、該コンタクト孔を埋め込むように全面に形成する工程と、該第一の導電膜の上にスペーサ膜を形成する工程と、下部電極形成領域以外に形成された前記第一の導電膜および前記スペーサ膜をエッチングし、コアを形成する工程と、全面に第二の導電膜を形成した後、前記第二の導電膜を前記コアの側壁にのみ残すようにエッチングする工程と、ウエットエッチングにより前記スペーサ膜を実質的に完全に除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記コンタクト孔を形成した後、全面にシリコン酸化膜を形成し、次いで前記コンタクト孔の側壁にのみ前記シリコン酸化膜を残すようにエッチバックし、その後、前記第一の導電膜を形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 半導体基板表面に拡散層を形成した後、全面に層間絶縁膜を形成する工程と、該層間絶縁膜に、前記拡散層に達するコンタクト孔を形成する工程と、第一の導電膜を、該コンタクト孔を埋め込むように全面に形成する工程と、該第一の導電膜を、下部電極形成領域にのみ残すようにエッチングにより除去する工程と、全面にラダー構造を有する SOG 膜を形成する工程と、該 SOG 膜の上に、絶縁膜を形成する工程と、下部電極形成領域に形成された前記 SOG 膜および前記絶縁膜を、エッチングにより除去し、底部に前記第一の導電膜が露出したビアを形成する工程と、該ビアの側壁および底部に第二の導電膜を形成する工程と、該ビアを埋め込むように全面にスペーサ膜を形成する工程と、CMP またはドライエッチングにより、前記第二の導電膜および前記スペーサ膜を表面に露出させる工程と、ウエットエッチングにより、前記スペーサ膜を実質的に完全に除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 前記ビアを形成した後、全面にシリコン酸化膜を形成し、次いで前記ビアの側壁にのみ前記シリコン酸化膜を残すようにエッチバックし、その後、前記第二の導電膜を形成することを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 半導体基板表面に拡散層を形成した後、全面に層間絶縁膜を形成する工程と、該層間絶縁膜の上に、ラダー構造を有する SOG 膜を形成する工程と、該層間絶縁膜に、前記拡散層よりも上方、前記 SOG 膜形成位置よりも下方の位置にまで達するホールを形成する工程と、第一の導電膜を全面に形成する工程と、該第一の導電膜をエッチバックした後、残存した前記第一の導電膜をマスクとして前記拡散層に達するコンタクト孔を

形成する工程と、前記ホールおよび前記コンタクト孔を埋め込むように全面に第二の導電膜を形成する工程と、該第二の導電膜を、下部電極形成領域のみに残すように CMP またはエッチングにより除去する工程と、全面にシリコン酸化膜を形成した後、該シリコン酸化膜の下部電極形成領域にホールを形成する工程と、該ホールの側壁に第三の導電膜を形成する工程と、該ホールを埋め込むように全面にスペーサ膜を形成する工程と、CMP またはドライエッチングにより、前記第三の導電膜を表面に露出させる工程と、ウエットエッチングにより、前記スペーサ膜を実質的に完全に除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 6】 ラダー構造を有する前記 SOG 膜は、ラダー構造を有する SOG 膜材料を回転塗布後、300℃以上 750℃未満の温度でベーク処理することにより形成されることを特徴とする請求項 1 乃至 5 いずれかに記載の半導体装置の製造方法。

【請求項 7】 前記スペーサ膜を実質的に完全に除去する前記ウエットエッチングは、フッ酸を含むエッチング液を用いる請求項 1 乃至 6 いずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、シリンダー型下部電極を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の集積度の向上に伴い、回路パターン等の 2 次元的な設計ルール微細化・縮小化が近年より一層進んでいる。特に DRAM（ランダムアクセスメモリー）では、電荷を保持する容量部の 2 次元的面積が縮小されていく一方、デバイス動作上必要とされる Cs（セルあたりの容量値）はチップ縮小率によらず同等値を要求される。Cs は電極面積 S、電極間隔 d、容量絶縁膜の誘電率 ϵ とすると、 $Cs = \epsilon S / d$ で表されるが、電極間隔 d をチップ縮小率と同率で薄くすることは困難であるため、容量部の電極面積 S を縮小前と同等に確保する必要が生じている。従って、64 MDRAM 以降は、容量部の 3 次元的構造を多様化した、シリンダースタックキャパシターや、フィンスタックキャパシターの採用が必須となる。

【0003】以下、従来のシリンダースタックキャパシターの形成方法を、図 3 (a) ~ (c) を参照して説明する。

【0004】シリンダースタックキャパシターを形成する際には、コンタクト孔 6 を開孔した後、リンドープシリコン膜 9 を LPCVD 法により堆積し、更に適当な CVD 法を用いてシリンダーのコアとなる高濃度 PSG 12 を堆積した後、パターンニングを行い、下部電極を形成する。このときコア材として高濃度 PSG を選択する理由は PSG のバッファードフッ酸のエッチレートが NS

GやBPSGなど他の酸化膜と比較して非常に速く、コア除去エッチングの際、下地である硼磷珪酸ガラス4（以下BPSGと略記）との選択比が比較的高くすることが可能となる理由による。また、エッチングストッパー11として、バッファードフッ酸のエッチレートが低い、LPCVD法による窒化膜や高温酸化膜（HTO）膜等も用いられることがある。

【0005】次に全面にリンドープシリコン膜を約500～600℃の温度で数百～数千Å成長し、全面エッチバックを行い、シリンドーの側壁10を形成した後、バッファードフッ酸を用い、ウェットエッチングによりシリンドー内部のコア材を除去して図3（c）の様にシリンドースタックを得る。

【0006】

【発明が解決しようとする課題】上述した従来の方法では、バッファードフッ酸によるウェットエッチ時に、BPSG等層間酸化膜もエッチングされるため、コア材と層間酸化膜との間には、非常に大きい選択比が要求される。このため通常コア材としては前述の様に、バッファードフッ酸によるエッチングレートの高い高濃度PSG（P濃度10mol%以上）が、エッチングストッパー膜11には逆にバッファードフッ酸によるエッチングレートの低いHTO膜やBSG、BPSGあるいはSiN膜等がそれぞれ選択されることが一般的である。

【0007】しかし、PSG膜は種々の洗浄処理やフォトレジスト除去工程等のウェット処理に対する化学的耐性が低いため、該工程での膜減り量が大きく、結果的にシリンドー高さのバラツキが大きくなり、これがCsのバラツキを引き起こす。

【0008】一方、エッチングストッパー膜としてHTO膜やBSG、BPSG等の酸化シリコン系の膜を用いた場合、バッファードリン酸に対する十分なエッチング防止能が得られないという問題があった。シリンドー内壁は下部電極の一部として使用されるため、その内側にコア材等のスペーサ膜の残渣が生じることは許されない。従ってバッファードフッ酸エッチングのオーバーエッチは相当量必要となる。ところがコア除去のエッチングの際に層間酸化膜も低エッチングレートながら同時にエッチングされるため、上記の材料を用いたエッチングストッパー膜では、十分なオーバーエッチ量を確保することは困難であった。

【0009】また、仮にコア材を十分にエッチングできるとしても、図3（c）に示すように電極間の層間酸化膜がエッチングされた箇所に深い凹部13が形成され、電極最上部との3次元的段差が大きくなり、後工程での配線形成工程でのリソグラフィーのフォーカスマージンを少なくするといった問題が生じることがあった。また、エッチングストッパーとしてSiN膜を用いた場合、バッファードフッ酸に対するエッチング防止能は充分得ることができるが、層間膜中に残留した水分等が放

出（外方拡散）されにくくなるため逆にシリコン基板へ拡散し、トランジスタ特性を劣化させるという問題が生じることがあった。

【0010】

【課題を解決するための手段】上記課題を解決する本発明によれば、半導体基板表面に拡散層を形成した後、全面に層間絶縁膜を形成する工程と、該層間絶縁膜の上に、ラダー構造を有するSOG膜を形成する工程と、該SOG膜および該層間絶縁膜に、前記拡散層に達するコンタクト孔を形成する工程と、第一の導電膜を、該コンタクト孔を埋め込むように全面に形成する工程と、該第一の導電膜の上にスペーサ膜を形成する工程と、下部電極形成領域以外に形成された前記第一の導電膜およびスペーサ膜をエッチングし、コアを形成する工程と、全面に第二の導電膜を形成した後、前記第二の導電膜を前記コアの側壁にのみ残すようにエッチングする工程と、ウェットエッチングにより前記スペーサ膜を実質的に完全に除去する工程とを含むことを特徴とする半導体装置の製造方法、が提供される。

【0011】また本発明によれば、上記半導体装置の製造方法において、前記コンタクト孔を形成した後、全面にシリコン酸化膜を形成し、次いで前記コンタクト孔の側壁にのみ前記シリコン酸化膜を残すようにエッチバックし、その後、前記第一の導電膜を形成することを特徴とする半導体装置の製造方法が提供される。

【0012】また本発明によれば、半導体基板表面に拡散層を形成した後、全面に層間絶縁膜を形成する工程と、該層間絶縁膜に、前記拡散層に達するコンタクト孔を形成する工程と、第一の導電膜を、該コンタクト孔を埋め込むように全面に形成する工程と、該第一の導電膜を、下部電極形成領域にのみ残すようにエッチングにより除去する工程と、全面にラダー構造を有するSOG膜を形成する工程と、該SOG膜の上に、絶縁膜を形成する工程と、下部電極形成領域に形成された前記SOG膜および前記絶縁膜を、エッチングにより除去し、底部に前記第一の導電膜が露出したビアを形成する工程と、該ビアの側壁および底部に第二の導電膜を形成する工程と、該ビアを埋め込むように全面にスペーサ膜を形成する工程と、CMP（化学的機械的研磨法）またはドライエッチングにより、前記第二の導電膜および前記スペーサ膜を表面に露出させる工程と、ウェットエッチングにより、前記スペーサ膜を実質的に完全に除去する工程とを含むことを特徴とする半導体装置の製造方法、が提供される。

【0013】また本発明によれば、上記半導体装置の製造方法において、前記ビアを形成した後、全面にシリコン酸化膜を形成し、次いで前記ビアの側壁にのみ前記シリコン酸化膜を残すようにエッチバックし、その後、前記第二の導電膜を形成することを特徴とする半導体装置の製造方法が提供される。

【0014】また本発明によれば、半導体基板表面に拡散層を形成した後、全面に層間絶縁膜を形成する工程と、該層間絶縁膜の上に、ラダー構造を有するSOG膜を形成する工程と、該層間絶縁膜に、前記拡散層よりも上方、前記SOG膜形成位置よりも下方の位置にまで達するホールを形成する工程と、第一の導電膜を全面に形成する工程と、該第一の導電膜をエッチバックした後、残存した前記第一の導電膜をマスクとして前記拡散層に達するコンタクト孔を形成する工程と、前記ホールおよび前記コンタクト孔を埋め込むように全面に第二の導電膜を形成する工程と、該第二の導電膜を、下部電極形成領域のみに残すようにCMPまたはエッチングにより除去する工程と、全面にシリコン酸化膜を形成した後、該シリコン酸化膜の下部電極形成領域にホールを形成する工程と、該ホールの側壁に第三の導電膜を形成する工程と、該ホールを埋め込むように全面にスペーサ膜を形成する工程と、CMPまたはドライエッチングにより、前記第三の導電膜を表面に露出させる工程と、ウェットエッチングにより、前記スペーサ膜を実質的に完全に除去する工程とを含むことを特徴とする半導体装置の製造方法が提供される。

【0015】上述の半導体装置の製造方法において、ラダー構造を有する前記SOG膜は、ラダー構造を有するSOG膜材料を回転塗布後、300℃以上750℃未満の温度でベーク処理することによって形成することが好ましい。

【0016】また上述の半導体装置の製造方法において、前記スペーサ膜を実質的に完全に除去する前記ウェットエッチングは、フッ酸を含むエッチング液を用いることが好ましい。

【0017】以上述べた半導体装置の製造方法によれば、シリンドー形状下部電極の形成過程でシリンドーの内側に形成されるスペーサー膜を実質的に完全に除去することができる。すなわち、シリンドーの内側にスペーサー膜の残渣が残らず、下部電極としての機能が害されない程度に除去される。また、このスペーサー膜の除去の際に下部電極以外の部分の層間絶縁膜などに凹部が生じることを防止できる。これにより、一定の形状の下部電極、およびCs（セル当たりの容量値）を安定して得ることができる。

【0018】

【発明の実施の形態】SOG膜、すなわちスピノングラス（Spin On Glass）膜は、シラノール（ $(OR)_mR_nSi(OH)_{4-m-n}$ ）をアルコールなどの溶剤に溶かしてウエハ状に回転塗布し、熱処理を行うことにより縮合固化させて形成した SiO_2 の組成に近い絶縁膜をいう。

【0019】回転塗布とは、シリコン基板を水平にセットし、下方から真空チャックにてシリコン基板を吸着し、その表面に有機含有絶縁膜材料をアルコールやケト

ン等の溶剤に溶かした溶液を滴下した後に、回転することにより基板表面に均一な有機含有塗布絶縁膜を形成することをいう。回転数と回転時間を設定することで、膜厚の制御を行う。

【0020】SOG膜の焼成は、はじめにホットプレート上で200℃以下の熱処理により溶剤を蒸発させ、次に熱処理炉等で熱処理を行ってSOG膜材料を縮合し、固めるのが一般的である。縮合時の熱処理温度は、好ましくは300℃以上750℃未満、さらに好ましくは400℃以上700℃未満とする。ここでホットプレート上での熱処理は、急激な昇温によるSOG膜のクラック防止のため、数段のステップで昇温してもよい。

【0021】本発明においてラダー構造とは、はしご状のポリマー骨格構造をいい、バッファードフッ酸に対して高いエッチング耐性を有する。ラダー構造SOGの化学構造の一例を、一般のSOGの化学構造の例とあわせて図9に示す。

【0022】ここで、ラダー構造のバッファードフッ酸（BHF）に対するエッチングレートを図10に示す。ラダーSOG膜5はそのラダー構造を保っている間はバッファードフッ酸のエッチングレートは殆ど0～10Å/minである。ただし750℃以上の熱処理を加えると、さらに縮合反応が起こり、ラダー構造から通常の鎖状構造へと構造遷移を起こし、バッファードフッ酸エッチレートは急激に上昇する。

【0023】したがって、シリンドー形状の完成まで750℃以上の熱処理を行わないことが好ましく、これによりスペーサー膜除去時におけるエッチレートを十分に確保することができる。

【0024】

【実施例】以下、本発明を実施例によりさらに詳細に説明する。

【0025】（実施例1）第一の実施例について図面を参照して説明する。

【0026】まず図1（a）の様に、拡散層2、ゲート3等が形成された半導体基板1上に、層間絶縁膜4（BPSG膜）を形成する。この上にストッパーとしてラダーSOG膜5を、SOG膜材料を回転塗布し400～650℃のベーク処理を施し縮合固化させて形成した後、半導体基板1表面へのコンタクト孔6を開孔する。このときのラダーSOG膜5の膜厚は、ベーク後で100～1000Åが望ましく、またベーク温度は、膜中水分が離脱する600℃が望ましいが半導体装置への熱履歴等を考慮して決定される。

【0027】次に図1（b）に示す様に、適当なCVD法を用いてシリコン酸化膜を数十～数千Åの厚さで堆積し、ドライエッチバックを用いてコンタクト孔側壁にサイドウォール7を形成する。これは、コンタクト孔側壁に露出したラダーSOG膜5からのガスが外方拡散し、コンタクト底部に酸化膜を形成することにより、コンタ

10

20

30

40

50

クト底部での電氣的な抵抗が著しく増大することを抑制することを目的とする。

【0028】次に図1(c)に示す様に、第一の導電膜としてリンドープシリコン膜9を堆積する。ついで適当なCVD法を用いてシリンドーのコアとなるスペーサー膜(シリコン酸化膜)8を堆積した後、パターニングを行い、コアを形成する。このコアの膜厚は、所望のシリンドー側壁の高さにより決定される。コアを構成する材料は、その後の洗浄工程における膜減り量を出来得る限り低減するため、洗浄液への化学的耐性を有することが望ましい。本実施例では、コア除去にバッファードフッ酸を用いるため、TEOS-NSG(成膜温度600~700℃)等のLPCVD法による酸化膜が用いられる。

【0029】次に図2(d)に示す様に、全面にリンドープシリコン膜を約500~600℃の温度で数百~数千Å成長した後、全面エッチバックを行い、シリンドーの側壁10を形成する。この後、バッファードフッ酸を用い、ウェットエッチングによりシリンドー内部のコア材を除去するが、下地層間酸化膜表面上は、ラダーSOG膜5に覆われているのでバッファードフッ酸ではエッチングされず、シリンドー内部に存在するコア材のみが選択的にエッチングされる。

【0030】最後に全面をライトエッチバックし層間絶縁膜4表面のラダーSOG膜5を除去し、図2(e)の様なシリンドー電極を得る。この工程は省略可能であるが、ここで、層間酸化膜表面に残るラダーSOG膜5を除去する理由は、後工程での熱処理によりラダーSOG膜5からアウトガスが発生、層間膜中を拡散し、これが配線材料や電極材料を酸化させるなどの悪影響を半導体装置に与えることを未然に防止するためである。

【0031】本実施例の方法によれば、シリンドーの内側に形成されていたスペーサー膜8を実質的に完全に除去することができる。また層間絶縁膜4に凹部が生じることも防止される。

【0032】(実施例2)次に、本発明の第二の実施例に関し図面を参照して説明する。図4~6は、本発明の他の実施例を説明するために工程順に示した半導体装置の断面図である。

【0033】まず、層間絶縁膜4(BPSG)上に後の工程でエッチングストッパーとなるラダーSOG膜5を回転塗布し、400~650℃のベーク処理を施し縮合固化させた後、その上にフォトレジスト14を形成する。次いで下部電極形成領域にホールを形成する(図4(a))。ラダーSOG膜5の膜厚は100~1000Åとする。

【0034】次いで第一の導電膜としてリンドープシリコン膜15を約1000Å成長し、リソグラフィ技術及びドライエッチング技術を用いて、リンドープシリコン膜15、ラダーSOG膜5と下地の層間絶縁膜4をエ

ッチングする。

【0035】次に、フォトレジスト14を除去した後、図4(b)の様に、再び全面にリンドープシリコン膜15を成長する。次いで全面エッチバックを行い、サイドウォール16を形成し、更にサイドウォール16をマスクにして拡散層2に達するコンタクト孔を開孔する図4(c)。このときリンドープシリコン膜からなるサイドウォール16は、実施例1の酸化膜サイドウォール7と同様、コンタクト孔側壁に露出したSOG膜5からのガス外方拡散防止としても機能する。また、SOG膜5の膜厚は、ベーク後で100~1000Åが望ましく、またベーク温度は、膜中水分が離脱する600℃が望ましいが半導体装置への熱履歴等を考慮して決定されることは実施例1と同様である。

【0036】次に図5(d)の様に、再び全面に、第二の導電膜としてリンドープシリコン膜17を所望の膜厚で成長させる。次いで全面エッチバックを行い、下部電極形成領域にのみリンドープシリコン膜17が残存するようにし、下部電極のコンタクト部を形成する図5(e)。このときラダーSOG膜5は、リンドープシリコン膜17エッチバック時のストッパーとしても機能する。

【0037】次に図5(f)の様に、適当なCVD法を用いてシリコン酸化膜18を堆積した後、パターニングを行い、円筒状のホールを形成する。このホールの側面にシリンドーの側壁部を形成するが、この際の酸化膜厚は所望のシリンドー側壁の高さにより決定される。

【0038】次に、図6(g)の様に第三の導電膜としてリンドープシリコン膜19を約500~3000Å成長させる。続いて円筒状のホールを埋め込むように全面にスペーサ膜20を形成する。スペーサ膜20の材料としては、例えばNSGが用いられる。その後、全面エッチバックを行いシリコン酸化膜18の表面を露出させる(図6(h))。

【0039】最後にバッファードフッ酸を用いたウェットエッチングにより、シリコン酸化膜18を除去した後、全面をライトエッチバックし層間絶縁膜4表面のラダーSOG膜5を除去し、図6(i)の様なシリンドー電極10を得る。

【0040】本実施例の方法によれば、シリンドーの内側に形成されていたスペーサー膜20を実質的に完全に除去することができる。また層間絶縁膜4に凹部が生じることも防止される。

【0041】本実施例が、実施例1よりもさらに優れている点として、下部電極9と下地BPSG4との間に、ラダーSOGが残らず、後の熱処理工程でのラダーSOG膜5からのアウトガスがない点と、下部電極が下地BPSG5に埋設してある構造のため、3次元的段差が軽減できる点が挙げられる。

【0042】(実施例3)次に第三の実施例について図

7、8を参照して説明する。本実施例は、層間絶縁膜にビアを形成し、その側壁に形成した導電膜をシリンドーの側壁とする方法を用いたものである。まず半導体基板1上に拡散層2、ゲート3等を形成した後、拡散層2に達するコンタクトホールを形成する。このコンタクトホールを埋め込むように第一の導電膜としてリンドーブシリコン膜23を全面に形成する。次いでリンドーブシリコン膜23がコンタクトホール部にのみ残るように全面エッチバックする。この上にエッチングストッパーとしてラダーSOG膜5を回転塗布し、400～650℃のベーク処理を施し縮合固化させる。次いでこの上にBP SG膜21を8000Å程度、NSG膜22を500Å程度、この順で形成する(図7(a))。

【0043】つづいてリンドーブシリコン膜23の上部が露出するように、下部電極形成領域にビアを形成する(図7(b))。本実施例では設けていないが、実施例1、2と同様、ビア側壁にシリコン酸化膜を形成してもよい。これによりラダーSOG膜5からのガス外方拡散が防止される。

【0044】次いで、第二の導電膜としてリンドーブシリコン膜24を500～2000Å程度形成する(図7(c))。リンドーブシリコン膜の膜厚は、ビアの径およびシリンドー側壁の機械的な剛性にを考慮して適宜な値が選択される。その後、ビアを埋め込むように全面にスペーサ膜(シリコン酸化膜)25を形成する(図8(d))。

【0045】最後にバッファードフッ酸を用いたウェットエッチングにより不要な膜を除去した後、全面をライトエッチバックしラダーSOG膜5を除去し、図8(e)の様なシリンドー電極10を得る。

【0046】本実施例の方法によれば、シリンドーの内側に形成されていたスペーサ膜25を実質的に完全に除去することができる。また層間絶縁膜4に凹部が生じることも防止される。

【0047】

【発明の効果】以上説明したように、本発明はエッチングストッパーとして高い耐エッチング特性を有するラダー構造を持つSOG膜を用いている。このためキャパシタの下部電極の内側に設けられるスペーサ膜との間で非常に高いバッファードフッ酸の選択比を実現でき、スペーサ膜除去の際にも層間膜がエッチングされることがない。またスペーサ膜にPSGを選択する必要が無くNSG等を使用でき、洗浄処理での膜減りも抑えられ、一定の形状の下部電極を安定して得ることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法を示す模式的工程断面図である。

【図2】本発明の半導体装置の製造方法を示す模式的工程断面図である。

【図3】従来の半導体装置の製造方法を示す模式的工程断面図である。

【図4】本発明の半導体装置の製造方法を示す模式的工程断面図である。

【図5】本発明の半導体装置の製造方法を示す模式的工程断面図である。

【図6】本発明の半導体装置の製造方法を示す模式的工程断面図である。

【図7】本発明の半導体装置の製造方法を示す模式的工程断面図である。

【図8】本発明の半導体装置の製造方法を示す模式的工程断面図である。

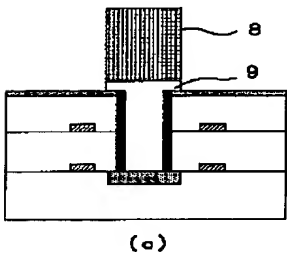
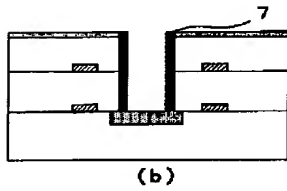
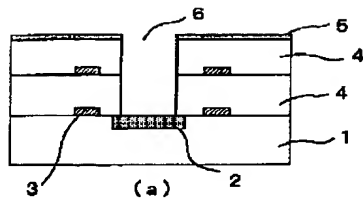
【図9】ラダー構造を有するSOG膜の構造を示す図である。

【図10】ラダー構造を有するSOG膜のエッチング耐性を示す図である。

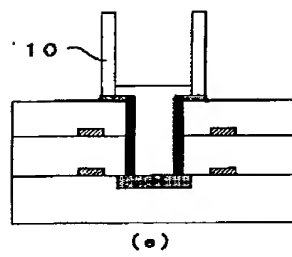
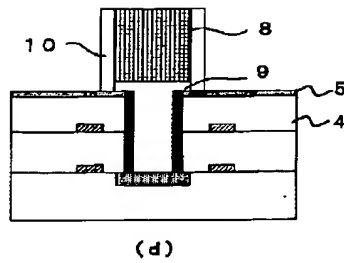
【符号の説明】

- 1 基板
- 2 拡散層
- 3 ゲート電極
- 4 層間絶縁膜
- 5 ラダーSOG膜
- 6 コンタクトホール
- 7 シリコン酸化膜
- 8 スペーサ膜
- 9 リンドーブシリコン膜
- 10 シリンドー電極
- 11 エッチングストッパー膜
- 12 高濃度PSG
- 13 凹部
- 14 レジスト
- 15 リンドーブシリコン膜
- 16 サイドウォール
- 17 リンドーブシリコン膜
- 19 リンドーブシリコン膜
- 21 BP SG膜
- 22 NSG膜
- 23 リンドーブシリコン膜
- 24 リンドーブシリコン膜
- 25 スペーサ膜

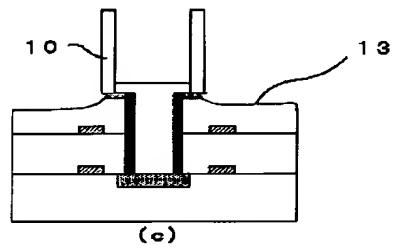
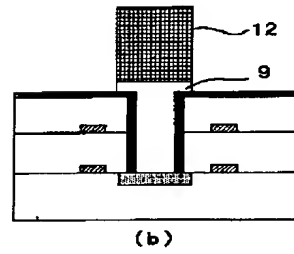
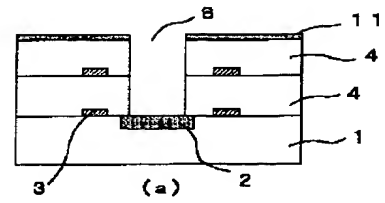
【図1】



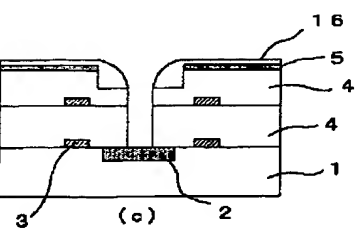
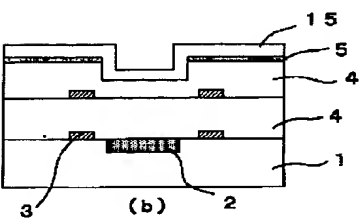
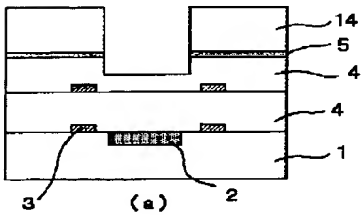
【図2】



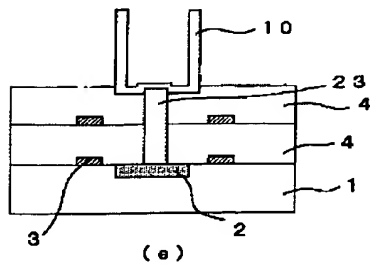
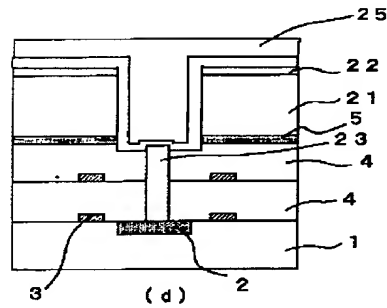
【図3】



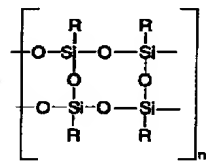
【図4】



【図8】

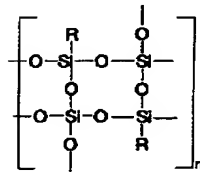


【図9】



ラダー構造SOG

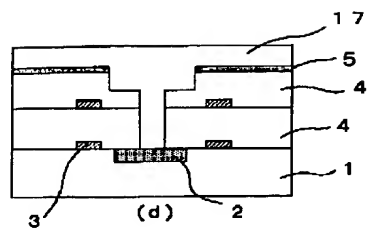
n=10~13



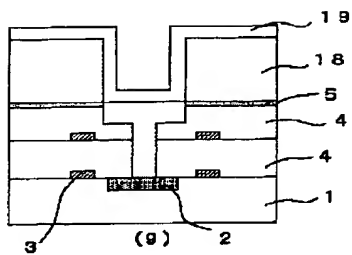
通常のSOG

n=1以下

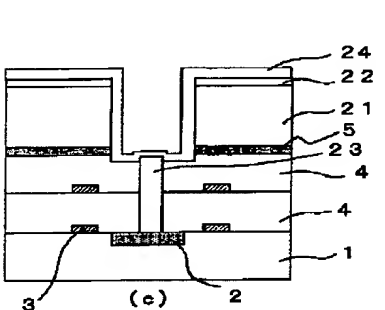
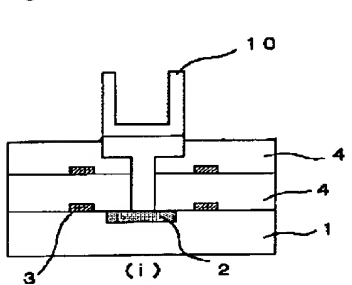
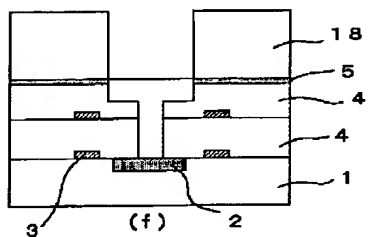
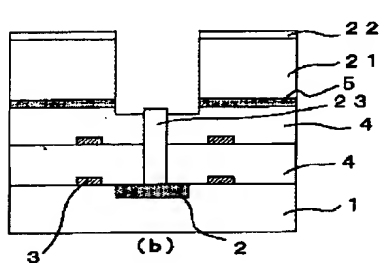
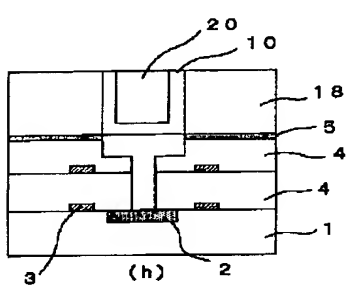
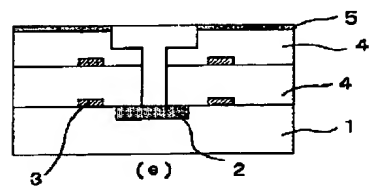
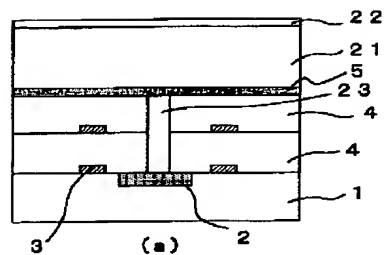
【図5】



【図6】



【図7】



【図10】

